

LVS-EC Receiver IP のご紹介

for Efinix

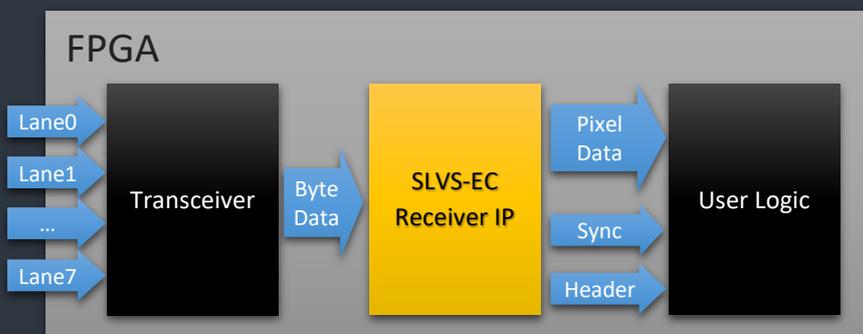
SLVS-EC とは

SLVS-EC (Scalable Low Voltage Signaling with Embedded Clock) はソニーの CMOS イメージセンサに実装される高速・高性能シリアルインターフェースです。従来の LVDS とは異なり、データにクロックが埋め込まれているため、シリアルバス間のスキューを意識せずに基板設計を行うことが可能です。

「より速く、よりローパワーで、より簡単に」を実現する新しいインターフェース。それが SLVS-EC です。

SLVS-EC Receiver IP 概要

CIS では FPGA の高速トランシーバを経由して受信したバイトデータからピクセルデータを抽出することに特化し、リソースの使用量がより少ない IP を開発いたしました。FPGA の内部クロックやデータバスの構成はアプリケーションによって様々ですが、本 IP とお客様のロジックを組み合わせるなら、トータルのリソース使用量を最適化することが可能です。またペイロードのエラー検出やエラー訂正（オプション）にも対応しています。



主なスペック

項目	対応状況
SLVS-EC Version	2.0 準拠
Lane	1,2,4,6,8
Raw Format	8,10,12,14,16
Line Length	4~∞(default 65532)
CRC	対応
ECC	対応(オプション)
Baud Rate	Grade1~3
Multi Stream	非対応
Output Signals	Pixel Data, Sync. Signals, Packet Header etc.
Devices	Efinix Titanium, Efinix Topaz

リソース使用量

CIS の SLVS-EC Receiver IP の特徴の 1 つはリソース使用量が少ないことです。本 IP ではリソース使用量に影響する SLVS-EC のレーン数をダイナミックに変更できますが、使用する最大レーン数を制限するか、固定レーン構成にすることにより更にリソースを削減できます。以下は各構成のリソース使用量 (Ti375N1156、Efinity2024.2) です。

ECC	Lane	FFs	SRLs	ADDs	LUTs	RAMs
無し	1	1019(972)	0(0)	101(101)	1757(1391)	2(2)
	2	1319(1297)	0(0)	108(108)	2431(2371)	4(4)
	4	2159(2119)	0(0)	135(135)	4740(4301)	8(8)
	6	3239(3181)	0(0)	161(147)	8357(7338)	12(12)
	8	3837(3833)	0(0)	175(161)	9841(8582)	16(16)
有り	1	2477(2430)	32(32)	246(242)	3539(3258)	16(16)
	2	2777(2754)	32(32)	253(253)	4227(4136)	18(18)
	4	3990(3950)	30(30)	253(241)	7259(6872)	26(26)
	6	5782(5724)	28(28)	265(241)	12946(11674)	41(41)
	8	6380(6376)	28(28)	279(255)	14024(12889)	45(45)

括弧内は固定レーン時の数値

デモンストレーション環境

CIS では SLVS-EC 出力のカメラ、カメラを Efinix の Ti375N1156 開発ボードに接続するための中継基板、および FPGA のリファレンスデザインを提供しております。このシステムを使用すれば、最大 2 レーンで、Raw8、Raw10、Raw12 のデモンストレーションを行うことができます。FPGA のリファレンスデザインはお客様が自由にカスタマイズしてご使用頂けます。



サポート体制

CIS には各種高速インターフェースや画像処理に関連した RTL 設計、高速信号を含む基板設計、組み込みソフト開発などの分野で経験豊富なエンジニアが多数在籍しております。IP のカスタマイズ等についてもお気軽にお問い合わせください。

お問い合わせ先

株式会社シーアイエス

〒193-0834 東京都八王子市東浅川町 539-5

Email: ip@ciscorp.co.jp

CIS